

Rec'd PCT/PTO 19 SEP 2005
PCT/JP 2004/015213

日 本 国 特 許 庁
JAPAN PATENT OFFICE

18.10.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 3 4 3 4 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 3 4 3 4 7]

出 願 人 株式会社村田製作所
Applicant(s):

REC'D 09 DEC 2004

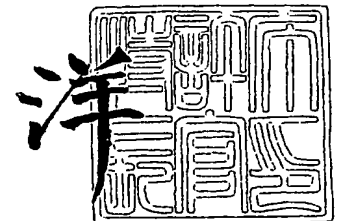
WIPO PCT

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年 1 1 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 1 0 7 3 9 8

【書類名】 特許願
【整理番号】 1032146
【提出日】 平成15年12月26日
【あて先】 特許庁長官殿
【国際特許分類】 H05K 3/46
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 酒井 範夫
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 原田 淳
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 石野 聡
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 西澤 吉彦
【特許出願人】
 【識別番号】 000006231
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号
 【氏名又は名称】 株式会社村田製作所
【代理人】
 【識別番号】 100064746
 【弁理士】
 【氏名又は名称】 深見 久郎
【選任した代理人】
 【識別番号】 100085132
 【弁理士】
 【氏名又は名称】 森田 俊雄
【選任した代理人】
 【識別番号】 100083703
 【弁理士】
 【氏名又は名称】 仲村 義平
【選任した代理人】
 【識別番号】 100096781
 【弁理士】
 【氏名又は名称】 堀井 豊
【選任した代理人】
 【識別番号】 100098316
 【弁理士】
 【氏名又は名称】 野田 久登
【選任した代理人】
 【識別番号】 100109162
 【弁理士】
 【氏名又は名称】 酒井 将行
【手数料の表示】
 【予納台帳番号】 008693
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0112071

【書類名】 特許請求の範囲**【請求項 1】**

複数のセラミック層が積層され、第 1 主表面を有し、内部に内部回路要素が配置されたセラミック積層体と、

前記第 1 主表面に接する接合面と前記接合面に対向する実装面とを有する樹脂層と、

前記実装面上に形成され、前記内部回路要素の少なくともいずれかと電氣的に接続された外部電極と、

前記第 1 主表面より前記樹脂層寄りの位置において前記樹脂層に覆われて配置されたグラウンド電極とを備える、セラミック多層基板。

【請求項 2】

前記グラウンド電極は、前記第 1 主表面に接するように配置されている、請求項 1 に記載のセラミック多層基板。

【請求項 3】

前記グラウンド電極は、前記セラミック積層体と一体焼成されたものである、請求項 2 に記載のセラミック多層基板。

【請求項 4】

前記グラウンド電極は、前記樹脂層によって上下から挟まれるように配置されている、請求項 1 に記載のセラミック多層基板。

【請求項 5】

前記グラウンド電極に対して前記実装面と反対の側から対向することによって前記グラウンド電極との間でコンデンサを構成するコンデンサ形成電極を備える、請求項 4 に記載のセラミック多層基板。

【請求項 6】

前記第 1 主表面に実装され、前記樹脂層によって覆われている第 1 回路部品を備え、前記グラウンド電極は、前記第 1 回路部品よりも前記実装面寄りに配置されている、請求項 4 に記載のセラミック多層基板。

【請求項 7】

前記第 1 回路部品は、前記グラウンド電極を前記第 1 主表面に投影した領域内に収まるように配置されている、請求項 6 に記載のセラミック多層基板。

【請求項 8】

前記外部電極から前記内部回路要素への電氣的接続は、前記第 1 主表面に沿って延在するように形成された中継電極を介して行なわれている、請求項 1 から 7 のいずれかに記載のセラミック多層基板。

【請求項 9】

前記セラミック積層体は、前記第 1 主表面と反対の側に第 2 主表面を有し、前記第 2 主表面には第 2 回路部品が実装されている、請求項 1 から 8 のいずれかに記載のセラミック多層基板。

【請求項 10】

前記第 2 主表面には前記第 2 回路部品を覆うように導電体ケースが配置されている、請求項 9 に記載のセラミック多層基板。

【請求項 11】

前記第 2 主表面の前記第 2 回路部品がモールド樹脂層で覆われている、請求項 9 に記載のセラミック多層基板。

【書類名】明細書

【発明の名称】セラミック多層基板

【技術分野】

【0001】

本発明は、セラミック多層基板に関するものである。

【背景技術】

【0002】

携帯端末などの情報通信機器の内部には、チップアンテナ、ダイレイライン、高周波複合スイッチモジュール、受信デバイスなど、さまざまな高周波モジュールが搭載されている。このような高周波モジュールは、配線基板に実装された状態で用いられる。

【0003】

このような高周波モジュールとしては、多層基板上に回路部品が実装されたものが一般的である。多層基板としてはセラミック多層基板を用いるものがよく知られている。セラミック多層基板は、ノイズを除去するためにたいいていグラウンド電極を備えている。このことは、たとえば特開2002-94410号公報（特許文献1）に開示されている。

【0004】

グラウンド電極はセラミック多層基板の内部のうちなるべく下面に近いところに内蔵されることが一般的である。これは、グラウンド電極をなるべく配線基板のグラウンド電極に近づけることにより、浮遊容量や浮遊インダクタンスなど、不要なインピーダンス成分を除去しやすくするためである。

【0005】

従来のセラミック多層基板の一例を図8に示す。セラミック多層基板100は、セラミック層11を積層したセラミック積層体10に電子部品13a, 13b, 13cを搭載したものである。グラウンド電極12はセラミック多層基板100の下面近傍においてセラミック層11m, 11nに挟まれるようにして内蔵されている。

【特許文献1】特開2002-94410号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

グラウンド電極は広い面積を必要とするため、セラミック多層基板を作製する際には、セラミックグリーンシート上に広い面積の導体パターンを形成する必要がある。しかし、導体パターンの面積が広くなると、導体パターンを挟む2枚のセラミックグリーンシート同士が互いに接触する面積は小さくなる。その結果、セラミックグリーンシート同士の接合性が低下する。

【0007】

図8に示したセラミック多層基板100の例でいえば、セラミック層11m, 11nの間に挟まれているグラウンド電極12の面積が大きくなることによって、セラミック層11m, 11n同士の接合性が低下することとなる。

【0008】

また、焼成時に導体パターンとセラミックグリーンシートとの間で生じる収縮量の差によって、セラミック層には負荷がかかる。この負荷は導体パターンの面積が大きくなればより大きく作用する。このため、焼成後のセラミック多層基板では、特にグラウンド電極付近において、セラミック層のデラミネーションやクラックなどの不具合が生じてしまうという問題があった。

【0009】

この問題を解消するためには、グラウンド電極をセラミック多層基板の下面に露出して配置することも考えられる。実際そういう構造のものもあるが、その場合、グラウンド電極と配線基板上の配線との間で短絡が生じやすくなるという新たな問題がある。

【0010】

そこで、本発明は、配線基板の表面に実装する場合であってもグラウンド電極を配線基

板に短絡させることなく配線基板に限りなく近い位置に配置することができ、なおかつ、焼成時にもクラックなどの不具合が生じないセラミック多層基板を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するため、本発明に基づくセラミック多層基板は、複数のセラミック層が積層され、第1主表面を有し、内部に内部回路要素が配置されたセラミック積層体と、上記第1主表面に接する接合面と上記接合面に対向する実装面とを有する樹脂層と、上記実装面上に形成され、上記内部回路要素の少なくともいずれかと電気的に接続された外部電極と、上記第1主表面より上記樹脂層寄りの位置において上記樹脂層に覆われて配置されたグラウンド電極とを備える。この構成を採用することにより、グラウンド電極を実装面にきわめて近い位置に保持することができ、その結果、グラウンド電極と配線基板との距離を短くすることができる。

【0012】

上記発明において好ましくは、上記グラウンド電極は、上記第1主表面に接するように配置されている。この構成を採用することにより、このセラミック多層基板は、グラウンド電極を第1主表面上に形成してからその上を覆うように樹脂層を形成することで得られる構成となるので、製造時の工程を減らすことができる。

【0013】

上記発明において好ましくは、上記グラウンド電極は、上記セラミック積層体と一体焼成されたものである。この構成を採用することにより、金属箔を貼り付けて形成する場合に比べて電極自体の表面粗さが大きくなり、樹脂層との接合に関してアンカー効果によって接合力を増すことができる。

【0014】

上記発明において好ましくは、上記グラウンド電極は、上記樹脂層によって上下から挟まれるように配置されている。この構成を採用することにより、グラウンド電極とセラミック層とが直接接する部分がなくなるので、グラウンド電極とセラミック層との熱収縮挙動の差に起因するクラックなどの問題をより確実に回避できる。

【0015】

上記発明において好ましくは、上記グラウンド電極に対して上記実装面と反対の側から対向することによって上記グラウンド電極との間でコンデンサを構成するコンデンサ形成電極を備える。この構成を採用することにより、非常に安定した特性のコンデンサを得ることができる。

【0016】

上記発明において好ましくは、上記第1主表面に実装され、上記樹脂層によって覆われている第1回路部品を備え、上記グラウンド電極は、上記第1回路部品よりも上記実装面寄りに配置されている。この構成を採用することにより、電子部品をセラミック積層体の上面だけでなく下面にも搭載することができるので、電子部品の高密度化、配線基板に対する省スペース化を図ることができる。

【0017】

上記発明において好ましくは、上記第1回路部品は、上記グラウンド電極を上記第1主表面に投影した領域内に収まるように配置されている。この構成を採用することにより、グラウンド電極が第1回路部品に対してシールド効果を発揮することができる。

【0018】

上記発明において好ましくは、上記外部電極から上記内部回路要素への電気的接続は、上記第1主表面に沿って延在するように形成された中継電極を介して行なわれている。この構成を採用することにより、上下のビアの位置をずらすことができるため、設計の自由度が高まる。

【0019】

上記発明において好ましくは、上記セラミック積層体は、上記第1主表面と反対の側に

第2主表面を有し、上記第2主表面には第2回路部品が実装されている。この構成を採用することにより、電子部品の高密度化、配線基板に対する省スペース化を図ることができる。

【0020】

上記発明において好ましくは、上記第2主表面には上記第2回路部品を覆うように導電体ケースが配置されている。この構成を採用することにより、第2回路部品が導電体ケースで覆われているので、第2回路部品は外部の電磁波からシールドされ、また、第2回路部品から発生する電磁波が外部に漏洩することも防止される。

【0021】

上記発明において好ましくは、上記第2主表面の上記第2回路部品がモールド樹脂層で覆われている。この構成を採用することにより、第2回路部品が他の部品との衝突などから保護される。

【発明の効果】

【0022】

本発明によれば、グラウンド電極を実装面にきわめて近い位置に保持することができ、その結果、グラウンド電極と配線基板との距離を短くすることができる。また、グラウンド電極よりも下側のセラミック層をなくすることができるので、焼成時にグラウンド電極よりも下側のセラミック層にデラミネーションやクラックが生じるという問題を防止できる。さらに、グラウンド電極は樹脂層で覆われているので、このセラミック多層基板を配線基板の表面に実装したときにもグラウンド電極が配線基板の電極と短絡を生じることは防止できる。

【発明を実施するための最良の形態】

【0023】

以下、上下の概念に言及するときは絶対的な上下を意味するものではなく、参照する図面に示される姿勢で見たときの相対的な上下を意味するものとする。

【0024】

(実施の形態1)

(構成)

図1を参照して、本発明に基づく実施の形態1におけるセラミック多層基板101について説明する。このセラミック多層基板101はセラミック積層体10を備える。セラミック積層体10の内部には内部回路要素14が配置されている。セラミック積層体10は第1主表面18として下面を有する。セラミック積層体10の第1主表面18を覆うようにグラウンド電極12が形成されている。さらにグラウンド電極12を覆うように樹脂層15が形成されている。樹脂層15は、第1主表面18に接する接合面19と、接合面19に対向する実装面16とを有する。実装面16上には外部電極17が形成されている。外部電極17は、内部回路要素14の少なくともいずれかと電気的に接続されている。外部電極17の中には図面上は内部回路要素14と接続されていないように見えるものもあるが、この断面以外のところで接続されている。セラミック積層体10は第2主表面23として上面を有する。第2主表面23には電子部品13a、13b、13cが搭載されている。

【0025】

(製造方法)

本実施の形態におけるセラミック多層基板101は、以下のようにして製造することができる。内部回路要素14となる導電体ペーストを挟み込みつつセラミックグリーンシートを積層する。こうして得られたセラミック積層体10となるべき未焼成の積層体の裏面にグラウンド電極12となるべき導電体ペーストを印刷する。こうして得られる構造体を焼成する。その結果、未焼成であった積層体はセラミック積層体10となり、導電体ペーストはグラウンド電極12となる。さらに、グラウンド電極12を覆うように樹脂シートをラミネートし、樹脂層15とする。樹脂層15にレーザなど貫通孔をあけ、導電性材料を充填する。さらに樹脂層15の表面に電極を形成し、外部電極17とする。一方、セラ

ミック積層体10の上面には電子部品13a, 13b, 13cを搭載する。こうして、図1に示したセラミック多層基板101を得ることができる。

【0026】

(作用・効果)

本実施の形態では、グラウンド電極12を実装面16にきわめて近い位置に保持することができる。実装面16に近いということは、実装時にグラウンド電極12が配線基板(図示せず)に近くなるということを意味する。また、本実施の形態では、グラウンド電極12よりも下側にはセラミック層はないので、焼成時にグラウンド電極よりも下側のセラミック層にデラミネーションやクラックが生じるという問題を防止できる。しかも、グラウンド電極12は樹脂層15で覆われているので、このセラミック多層基板101を配線基板(図示せず)の表面に実装したときにもグラウンド電極12が配線基板の電極と短絡を生じることは防止できる。

【0027】

なお、グラウンド電極12は、セラミック積層体10と一体焼成されたものであることが好ましい。一体焼成した電極であれば、銅箔などの金属箔を貼り付けて形成する場合に比べて電極自体の表面粗さが大きくなり、樹脂層15との接合に関してアンカー効果によって接合力を増すことができるからである。

【0028】

(実施の形態2)

(構成)

図2を参照して、本発明に基づく実施の形態2におけるセラミック多層基板102について説明する。このセラミック多層基板102では、グラウンド電極12は第1主表面18に接しないように配置されている。すなわち、グラウンド電極12は樹脂層15によって上下から挟まれた状態で配置される。他の部分の構成は、実施の形態1で述べたものと同様である。

【0029】

(作用・効果)

本実施の形態では、グラウンド電極12とセラミック層11とが直接接する部分がなくなるので、グラウンド電極12とセラミック層11との熱収縮挙動の差に起因するクラックなどの問題をより確実に回避できる。

【0030】

なお、図2に示したような構造は、樹脂層15を樹脂シートで複数回に分けてラミネートし、その合間に銅箔を挿入することで得ることができる。樹脂層15の内部に挟み込まれた銅箔がグラウンド電極12となる。

【0031】

(実施の形態3)

(構成)

図3を参照して、本発明に基づく実施の形態3におけるセラミック多層基板103について説明する。このセラミック多層基板103では、樹脂層15の内部にグラウンド電極12の他にコンデンサ形成電極20を備える。コンデンサ形成電極20は、グラウンド電極12に対して実装面16と反対の側から対向することによってグラウンド電極12との間でコンデンサを構成するための電極である。他の部分の構成は、実施の形態2で述べたものと同様である。

【0032】

(作用・効果)

このセラミック多層基板103では、コンデンサ形成電極20とグラウンド電極12との間でコンデンサが形成される。こうすることで非常に安定した特性のコンデンサを得ることができる。

【0033】

(実施の形態4)

(構成)

図4を参照して、本発明に基づく実施の形態4におけるセラミック多層基板104について説明する。このセラミック多層基板104は、セラミック積層体10の下面である第1主表面18に第1回路部品として電子部品22a, 22b, 22cが表面実装されている。電子部品22a, 22b, 22cを覆うように樹脂層15が形成されている。グラウンド電極12は、電子部品22a, 22b, 22cよりも実装面16寄り、すなわち下側に配置されている。他の部分の構成は、実施の形態2で述べたものと同様である。

【0034】**(作用・効果)**

本実施の形態では、電子部品をセラミック積層体10の上面だけでなく下面にも搭載することができるので、電子部品の高密度化、配線基板に対する省スペース化を図ることができる。

【0035】

特に、図4に示すように、第1回路部品である電子部品22a, 22b, 22cは、グラウンド電極12を第1主表面18に投影した領域内に収まるように配置されていることが好ましい。このようになっていれば、グラウンド電極12が第1回路部品に対してシールド効果を発揮するからである。

【0036】

なお、図3、図4に示すように、セラミック多層基板103, 104は第1主表面18に沿って延在するように形成された中継電極21を備える。外部電極17から内部回路要素14への電氣的接続は、中継電極21を介して行なわれている。外部電極17から内部回路要素14への電氣的接続を直接ビア・トゥ・ビアで接続することも考えられるが、図3、図4に示したように、一旦、中継電極21を介在させることとすれば、上下のビアの位置をずらすことができるため、設計の自由度が高まり、好ましい。これは、実施の形態3, 4のセラミック多層基板103, 104に限らず、他の実施の形態においても同様である。

【0037】

なお、上記各実施の形態に示すように、第1主表面18と反対の側に第2主表面23を有し、第2主表面23に第2回路部品として電子部品13a, 13b, 13cが搭載されていることが好ましい。このようにすることで高周波モジュールを構成することができるからである。

【0038】**(実施の形態5)****(構成)**

図5を参照して、本発明に基づく実施の形態5におけるセラミック多層基板105について説明する。セラミック多層基板105は、実施の形態1のセラミック多層基板101において第2主表面23に搭載された第2回路部品としての電子部品13a, 13b, 13cを覆うように導電体ケース24を取り付けたものである。

【0039】**(作用・効果)**

本実施の形態では、第2回路部品が導電体ケース24で覆われているので、第2回路部品は外部の電磁波からシールドされ、また、第2回路部品から発生する電磁波が外部に漏洩することも防止されるので、好ましい。

【0040】

本実施の形態では、実施の形態1のセラミック多層基板101を基に例示したが、図6に示すように、実施の形態4のセラミック多層基板104に導電体ケース24を取り付けてもよい。あるいは、実施の形態2, 3のいずれかのセラミック多層基板に導電体ケース24を取り付けてもよい。

【0041】**(実施の形態6)**

(構成)

図7を参照して、本発明に基づく実施の形態6におけるセラミック多層基板107について説明する。セラミック多層基板107は、実施の形態1のセラミック多層基板101において第2主表面23に搭載された第2回路部品としての電子部品13a, 13b, 13cを覆うようにモールド樹脂層25を形成したものである。したがって、他の部分の詳細な構成は実施の形態1で説明したものと同じである。

【0042】

(作用・効果)

本実施の形態では、第2回路部品が導電体ケース24で覆われているので、第2回路部品が他の部品との衝突などから保護される。本実施の形態では、実施の形態1のセラミック多層基板101を基に例示したが、このほかに、実施の形態2, 3, 4のいずれかのセラミック多層基板に導電体ケース24を取り付けてもよい。

【0043】

なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

【図面の簡単な説明】

【0044】

【図1】本発明に基づく実施の形態1におけるセラミック多層基板の断面図である。

【図2】本発明に基づく実施の形態2におけるセラミック多層基板の断面図である。

【図3】本発明に基づく実施の形態3におけるセラミック多層基板の断面図である。

【図4】本発明に基づく実施の形態4におけるセラミック多層基板の断面図である。

【図5】本発明に基づく実施の形態5におけるセラミック多層基板の断面図である。

【図6】本発明に基づく実施の形態5におけるセラミック多層基板の他の例の断面図である。

【図7】本発明に基づく実施の形態6におけるセラミック多層基板の断面図である。

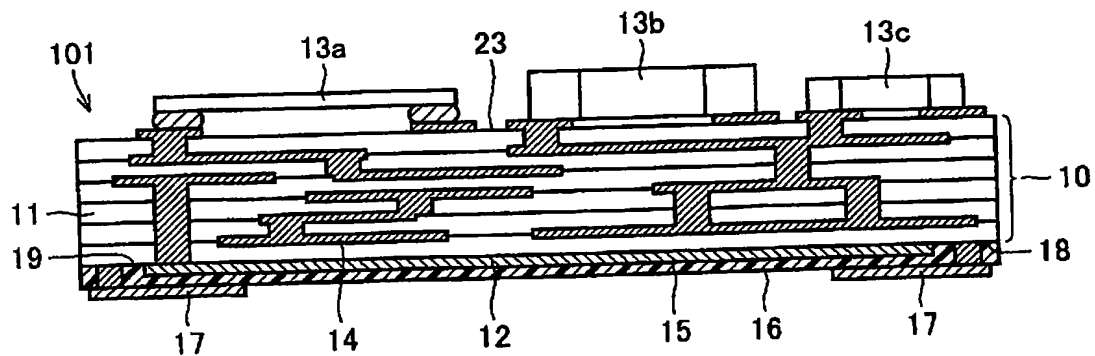
【図8】従来技術に基づくセラミック多層基板の断面図である。

【符号の説明】

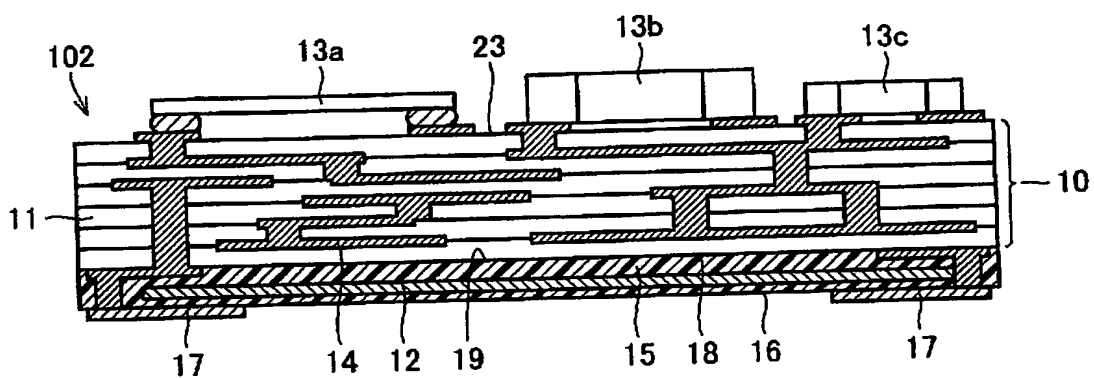
【0045】

10 セラミック積層体、11 セラミック層、12 グラウンド電極、13a, 13b, 13c, 22a, 22b, 22c 電子部品、14 内部回路要素、15 樹脂層、16 実装面、17 外部電極、18 第1主表面、19 接合面、20 コンデンサ形成電極、21 中継電極、23 第2主表面、24 導電体ケース、25 モールド樹脂層、100, 101, 102, 103, 104 セラミック多層基板。

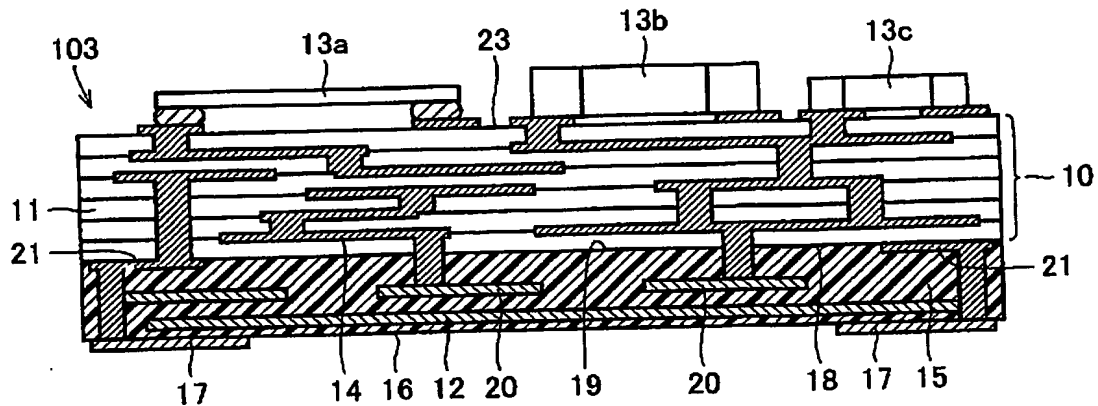
【書類名】 図面
【図 1】



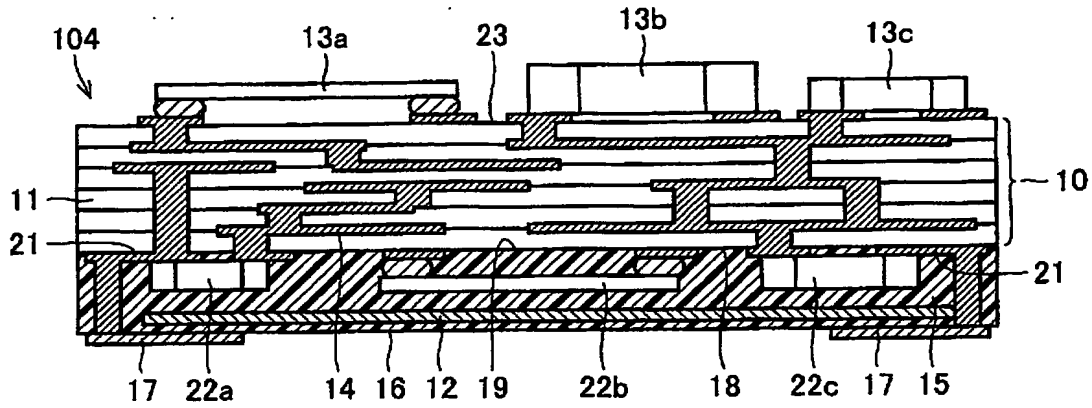
【図 2】



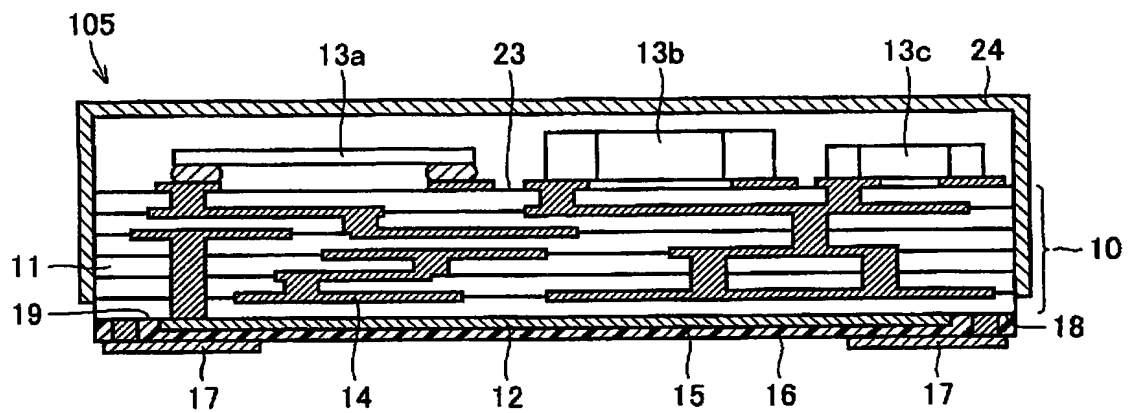
【図 3】



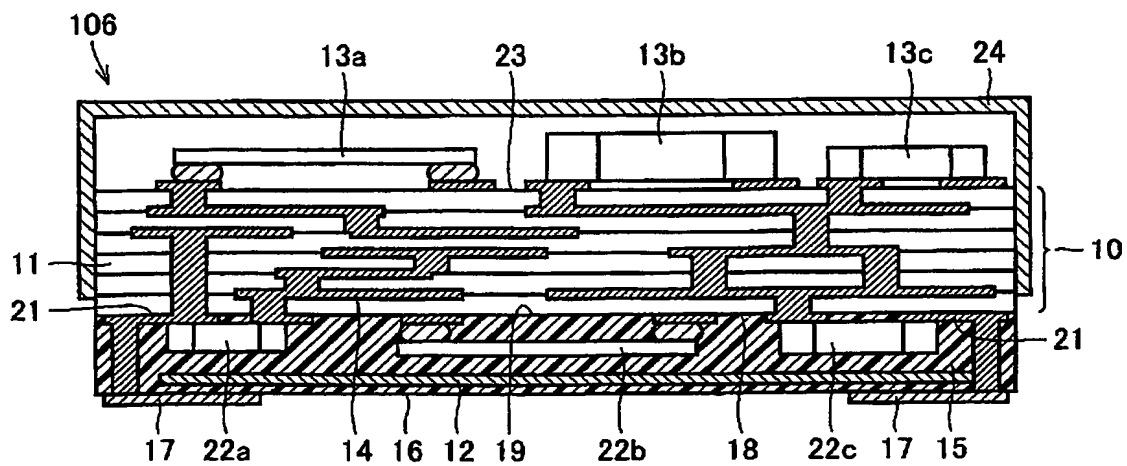
【図 4】



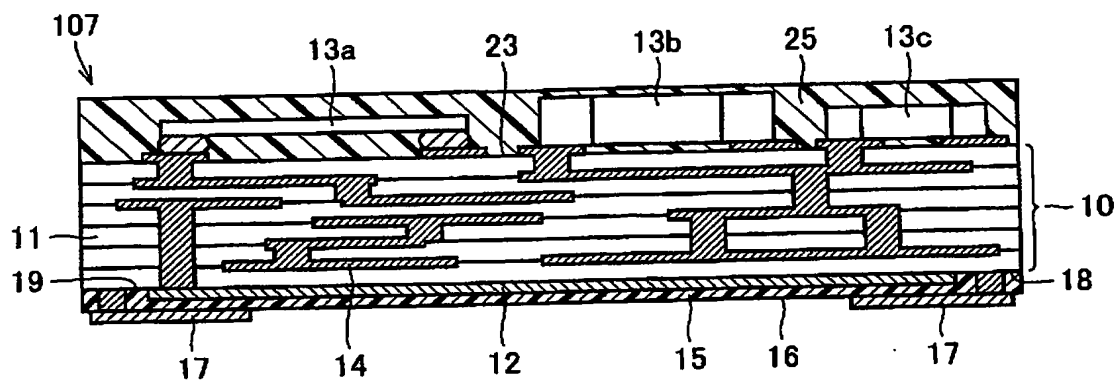
【図 5】



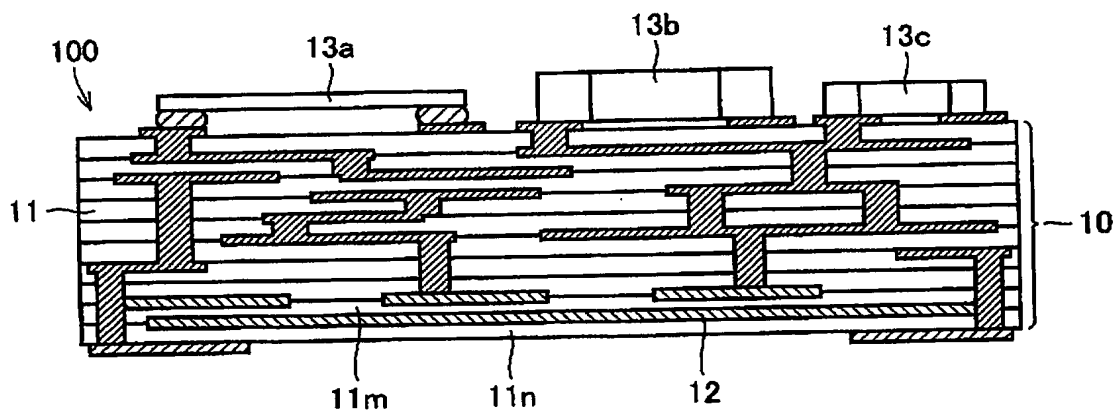
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 配線基板の表面に実装する場合であってもグラウンド電極を配線基板に短絡させることなく配線基板に限りなく近い位置に配置することができ、なおかつ、焼成時にもクラックなどの不具合が生じないセラミック多層基板を提供する。

【解決手段】 セラミック多層基板は、複数のセラミック層 1 1 が積層され、第 1 主表面 1 8 を有し、内部に内部回路要素 1 4 が配置されたセラミック積層体 1 0 と、第 1 主表面 1 8 に接する接合面 1 9 と接合面 1 9 に対向する実装面 1 6 とを有する樹脂層 1 5 と、実装面 1 6 上に形成され、内部回路要素 1 4 の少なくともいずれかと電気的に接続された外部電極 1 7 と、第 1 主表面 1 8 より樹脂層 1 5 寄りの位置において樹脂層 1 5 に覆われて配置されたグラウンド電極 1 2 とを備える。

【選択図】 図 1

特願 2003-434347

出願人履歴情報

識別番号

[000006231]

1. 変更年月日

[変更理由]

住所

氏名

1990年 8月28日

新規登録

京都府長岡京市天神二丁目26番10号

株式会社村田製作所

2. 変更年月日

[変更理由]

住所

氏名

2004年10月12日

住所変更

京都府長岡京市東神足1丁目10番1号

株式会社村田製作所